

SOLID-STATE IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM

Publication number: JP7087402

Publication date: 1995-03-31

Inventor: EGAWA YOSHITAKA; ENDO YUKIO; MATSUNAGA MASAYUKI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: H04N5/335; H04N5/335; (IPC1-7): H04N5/335

- European:

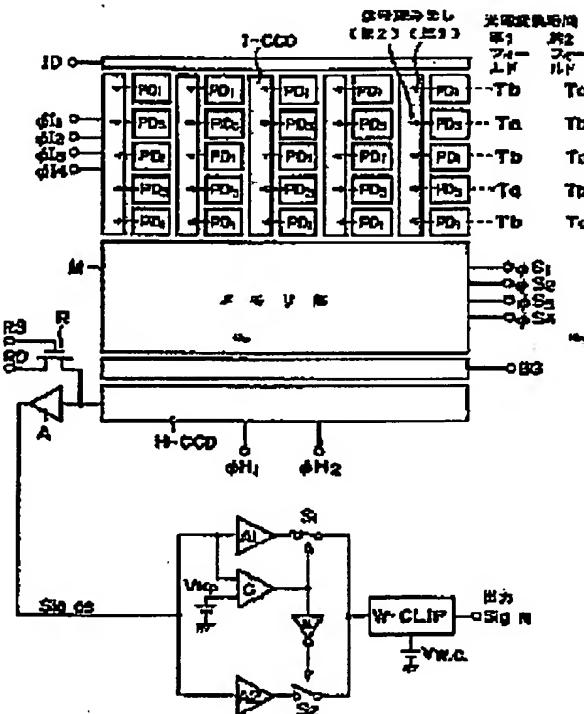
Application number: JP19940168161 19940720

Priority number(s): JP19940168161 19940720; JP19930179272 19930720

[Report a data error here](#)

Abstract of JP7087402

PURPOSE: To provide a solid-state image pickup device which improves the dynamic resolution without deteriorating the S/N so as to obtain a reproduced image with high picture quality. **CONSTITUTION:** The solid-state image pickup device controlling a photoelectric conversion time is provided with a solid-state image pickup element arranging plural photosensing picture elements PD on a semiconductor substrate, a drive circuit driving the solid-state image pickup element and controlling the photoelectric conversion time of said element, a device (I-CCD) which clips a predetermined level or over of a signal Qa having a long photoelectric conversion time of the solid-state image pickup element and adds the clipped signal and a signal Qb whose photoelectric conversion time is short, and a signal processing circuit whose amplification factor A2 with respect to the signal Qb with a short photoelectric conversion time larger than an amplification factor A1 with respect to the signal Qa with a long photoelectric conversion time.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-87402

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁶
H 0 4 N 5/335識別記号
P

F I

技術表示箇所

審査請求 未請求 請求項の数7 OL (全20頁)

(21)出願番号 特願平6-168161
 (22)出願日 平成6年(1994)7月20日
 (31)優先権主張番号 特願平5-179272
 (32)優先日 平5(1993)7月20日
 (33)優先権主張国 日本 (JP)

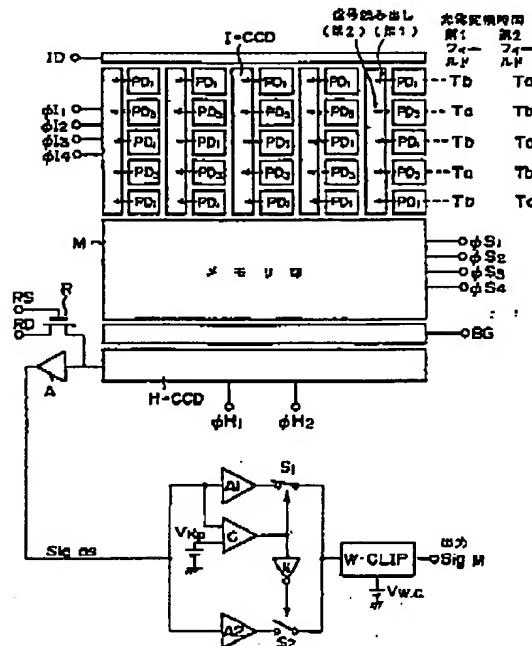
(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72)発明者 江川 佳季
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
 (72)発明者 遠藤 幸雄
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
 (72)発明者 松長 誠之
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
 (74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 四体撮像装置と撮像システム

(57)【要約】

【目的】 S/Nを劣化させずに動解像度を改善することができ、高画質の再生像が得られる固体撮像装置を提供すること。

【構成】 光電変換時間を制御できる固体撮像装置において、半導体基板上に複数の感光画素P Dを配列してなる固体撮像画素と、この固体撮像画素を駆動すると共に該画素の光電変換時間を制御する駆動回路と、固体撮像画素における光電変換時間の長い信号Qaに対して所定レベル以上をクリップし、クリップした信号と光電変換時間の短い信号Qbを加算する検出(I-CCD)と、加算した信号Qa + Qbを増幅して出力すると共に、光電変換時間の長い信号Qaに対する増幅率A2を光電変換時間の長い信号Qaに対する増幅率A1より大きく設定した信号処理回路とを具備してなることを特徴とする。



(2)

特開平7-87402

2

【特許請求の範囲】

【請求項1】半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号に対する所定レベル以上をクリップすると共に、このクリップした信号と光電変換時間の短い第2の信号を加算する手段と、該手段により加算した信号を増幅して出力する際に、第2の信号に対する増幅率を第1の信号に対する増幅率よりも大きく設定した信号処理回路とを具備してなることを特徴とする固体撮像装置。

【請求項2】半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号に対する所定レベル以上をクリップすると共に、このクリップした信号と光電変換時間の短い第2の信号を加算する手段と、該手段により加算した信号を増幅して出力する際に、第2の信号に対する増幅率を複数に分けて異ならせ、少なくとも一部を第1の信号に対する増幅率よりも大きくし、かつ加算した信号レベルの増大に伴い増幅率が順次小さくなるよう設定した信号処理回路とを具備してなることを特徴とする固体撮像装置。

【請求項3】前記固体撮像素子は複数フィールド周期で動作し、前記感光画素の光電変換時間の制御はフィールド単位で光電変換時間の長い信号と光電変換時間の短い信号を交互に出力するものであることを特徴とする請求項1又は2に記載の固体撮像装置。

【請求項4】請求項1又は2に記載の固体撮像装置と、前記固体撮像素子及び駆動回路に同期パルスを与える同期パルス発生回路と、前記固体撮像素子の受光部に被写体の像を結像するレンズと、前記同期パルス発生回路からの同期パルスに応じて動作し、前記信号処理回路の出力信号を元にビデオ信号を作成するプロセスアンプとを具備してなることを特徴とする撮像システム。

【請求項5】半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号と光電変換時間の短い第2の信号を別々に出力する手段と、第2の信号に対する増幅率を第1の信号に対する増幅率よりも大きく設定して各々の信号を増幅し、増幅した信号を加算して1つの信号にする信号処理回路とを具備してなることを特徴とする固体撮像装置。

【請求項6】半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に、垂直方向に隣接する画素の一方の光電変換時間をT

b、他方の光電変換時間をTa+Tc(=Tb)に設定し、かつフィールド毎に各々の画素で光電変換時間をTbとTa+Tcに交互に切り替える駆動回路と、光電変換時間Tbで得られる信号Qb及び光電変換時間Tcで得られる信号Qcを加算した信号Qb+Qcと光電変換時間Taで得られる信号Qaとを別々に出力する手段と、信号Qaに対する増幅率を信号Qb+Qcに対する増幅率よりも大きく設定して各々の信号を増幅し、増幅した信号を加算して1つの信号にする信号処理回路とを具備してなることを特徴とする固体撮像装置。

【請求項7】請求項5又は6に記載の固体撮像装置と、前記固体撮像素子及び駆動回路に同期パルスを与える同期パルス発生回路と、前記固体撮像素子の受光部に被写体の像を結像するレンズと、前記同期パルス発生回路からの同期パルスに応じて動作し、前記信号処理回路の出力信号を元にビデオ信号を作成するプロセスアンプとを具備してなることを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置に係わり、特に感光画素の光電変換時間を異ならせて動解像度の向上をはかった固体撮像装置とそれを用いた撮像システムに関する。

【0002】

【従来の技術】CCD(電荷転送素子)等を用いた固体撮像素子は、小型、軽量、高信頼性、保守がしやすい等の多くの特徴があり、広い分野の電子式カメラに応用されている。また、最近ではHDTVカメラ(高精細テレビジョンカメラ)用としても開発され、実用化されている。

【0003】HDTVカメラでは、多画素、ワイド画面(アスペクト比9:16)で高精細な画像が得られているため、動いている被写体を撮像した時に、システムによる動解像度の劣化が著しく、画質を大幅に低下させる。この対策として従来、NTSC方式では固体撮像素子の感光画素の光電変換時間を可変する電子シャッタ動作が採用されている。しかしながら、電子シャッタ動作では信号量が減少するため、S/Nが劣化する問題がある。この問題を以下に、簡単に説明する。

【0004】標準動作では、撮像素子の感光画素の光電変換時間を1/60秒として動作させている。この時間に被写体が移動すると、モニタ再生像上で動いた被写体がボケてしまい、システム上の動解像度が劣化する。この対策として電子シャッタ動作により、例えば光電変換時間を1/10(通常1/125~1/100秒に可変できる)として動作させる。この場合、光電変換時間が1/10となり信号量も1/10と大幅に減少するため、S/Nが大幅に劣化する。

【0005】

【発明が解決しようとする課題】このように現在のテレ

(3)

特開平7-87402

3

ビデオカメラでは、動いている被写体を撮像した時にシステムによる動解像度の劣化が発生し、画質を著しく低下させる。特に次世代のHD-TVカメラでは、ワイド画面上で高精細な画像が得られるため、動解像度の劣化による画質はさらに悪くなる。この対策として電子シャッタ動作があるが、感度が低下するためゲインアップによるノイズの増加や、レンズ絞りを開くことにより焦点深度が浅くなるなどの問題がある。

【0006】本発明は、上記手順を考慮してなされたもので、その目的とするところは、S/Nの劣化を抑えて動解像度を改善させることができ、高画質の再生像が得られる固体撮像装置とそれを用いた撮像システムを提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するため本発明は、次のような構成を採用している。即ち本発明（請求項1）は、固体撮像装置において、半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号に対して所定レベル以上をクリップすると共に、このクリップした信号と光電変換時間の短い第2の信号を加算する手段と、該手段により加算した信号を増幅して出力する際に、第2の信号に対する増幅率を第1の信号に対する増幅率より大きく設定した信号処理回路とを具備してなることを特徴とする。

【0008】また本発明（請求項2）は、固体撮像装置において、半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号に対して所定レベル以上をクリップすると共に、このクリップした信号と光電変換時間の短い第2の信号を加算する手段と、該手段により加算した信号を増幅して出力する際に、第2の信号に対する増幅率を複数に分けて異ならせ、少なくとも一部を第1の信号に対する増幅率よりも大きくし、かつ加算した信号レベルの増大に伴い増幅率が順次小さくなるよう設定した信号処理回路とを具備してなることを特徴とする。

【0009】また本発明（請求項4）は、上記構成の固体撮像装置を用いた撮像システムにおいて、固体撮像素子及び駆動回路に同期パルスを与える同期パルス発生回路と、固体撮像素子の受光部に被写体の像を結像するレンズと、同期パルス発生回路からの同期パルスに応じて動作し、信号処理回路の出力信号を元にビデオ信号を作成するプロセスアンプとを具備してなることを特徴とする。

【0010】ここで、本発明の望ましい実施態様として

は、次のものがあげられる。

（1）固体撮像素子はフィールド周期で動作し、フィールド単位で光電変換時間の長い信号と光電変換時間の短い信号を交互に出力する。

（2）固体撮像素子はフィールド周期で動作し、各フィールドにおいて光電変換時間の長い信号と光電変換時間の短い信号を出力する。

（3）固体撮像素子は複数フィールド周期で動作し、複数フィールド単位で光電変換時間の長い信号と光電変換時間の短い信号を交互に出力する。例えば、2フィールドで1フレームを構成し、フレーム単位で1フィールド期間蓄積した信号と2フィールド期間蓄積した信号を交互に出力する。

（4）固体撮像素子は垂直方向に隣接する2画素の信号を加算するものであり、各画素はフィールド毎に光電変換時間が長いものと短いものに交互に切り替わり、かつ隣接する加算画素では光電変換時間が異なっている。

【0011】また本発明（請求項5）は、固体撮像装置において、半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に該素子の感光画素の光電変換時間を制御する駆動回路と、この駆動回路により複数の光電変換時間を有する信号を得て、光電変換時間の長い第1の信号と光電変換時間の短い第2の信号を別々に出力する手段と、第2の信号に対する増幅率を第1の信号に対する増幅率より大きく設定して各々の信号を増幅し、増幅した信号を加算して1つの信号にする信号処理回路とを具備してなることを特徴とする。

【0012】また本発明（請求項6）は、固体撮像装置において、半導体基板上に複数の感光画素を配列してなる固体撮像素子と、この固体撮像素子を駆動すると共に、垂直方向に隣接する画素の一方の光電変換時間をTb、他方の光電変換時間をTa+Tc（=Tb）に設定し、かつフィールド毎に各々の画素で光電変換時間をTaとTa+Tcに交互に切り替える駆動回路と、光電変換時間Tbで得られる信号Qb及び光電変換時間Tcで得られる信号Qcを加算した信号Qb+Qcと光電変換時間Taで得られる信号Qaとを別々に出力する手段と、信号Qaに対する増幅率を信号Qb+Qcに対する増幅率より大きく設定して各々の信号を増幅し、増幅した信号を加算して1つの信号にする信号処理回路とを具備してなることを特徴とする。

【0013】また本発明（請求項7）は、上記構成の固体撮像装置を用いた撮像システムにおいて、固体撮像素子及び駆動回路に同期パルスを与える同期パルス発生回路と、固体撮像素子の受光部に被写体の像を結像するレンズと、同期パルス発生回路からの同期パルスに応じて動作し、信号処理回路の出力信号を元にビデオ信号を作成するプロセスアンプとを具備してなることを特徴とする。

(4)

特開平7-87402

5

【0014】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 水平方向に隣接する感光画素間に感光画素の信号電荷を垂直方向に転送する垂直CCDがそれぞれ配置され、これらの垂直CCDの端部には、垂直CCDで転送された信号電荷を水平方向に転送するための水平CCDが2本配置されていること。

(2) 垂直方向に隣接する感光画素の一方の光電変換時間が長く、他方の光電変換時間が短いこと。

(3) 垂直方向に隣接する感光画素の一方の光電変換時間が長く、他方の光電変換時間が短く、かつ各々の画素においてフィールド毎に光電変換時間が交互に切り替えられること。

【0015】

【作用】本発明（請求項1～4）によれば、固体撮像素子の駆動において電子シャッタ動作を利用しているため、動いている被写体を撮像した時に発生する動解像度の劣化が防止できる。さらに、固体撮像素子の信号処理において、光電変換時間が短い信号に対する増幅率を上げることにより、モニタ再生画像で目立ちやすい小信号レベルのノイズを増加させないため、S/Nの劣化を防止できる。つまり、従来の電子シャッタ動作とは異なり、S/Nの劣化を招くことなく動解像度の向上をはかることができ、より高画質の再生像を得ることが可能となる。

【0016】また本発明（請求項5～7）によれば、固体撮像素子では光電変換時間が短い信号で動解像度の良い信号が得られ、光電変換時間が長い信号でS/Nの良い信号が得られる。この2つの信号を信号処理回路で加算する時、ノイズがモニタ再生画像で目立ちやすい小信号レベルではS/Nの良い信号成分を多くすることでS/Nの劣化を防止する。さらに、ノイズがモニタ再生画像で目立ち難い大きな信号レベルでは動解像度が良い信号成分を多くする。このようにして、S/Nの劣化を抑えて動解像度の向上をはかることができ、より高画質の再生像を得ることが可能となる。

【0017】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（実施例1）図1は本発明の第1の実施例に係わる固体撮像装置を示す概略構成図であり、撮像素子部と信号処理部を示している。撮像素子部はF.I.T-CCDとなっており、感光画素PD、イメージ部の信号電荷転送部である垂直CCD（I-CCD）、1フィールド期間のメモリ部（M）、信号電荷を排出するためのドレイン（ID）、メモリ部（M）と水平CCD（H-CCD）間の分離ゲート（BGゲート）、出力信号リセットトランジスタ（R）、オンチップアンプ（A）などで構成される。

【0018】また、F.I.T-CCDの出力信号SigOSの

信号処理回路（信号再生回路）は、増幅率の異なるA1、A2のアンプと、その出力を切換えて1つの信号とするスイッチS1、S2と、入力信号SigOSの所定レベルを検出するコンバレータCと、コンバレータCの出力を反転するインバータNと、出力信号SigMの高レベルをクリップするホワイトクリップ（W. CLIP）回路で構成されている。

【0019】イメージ部は4相の駆動パルス（ $\phi I1$ ～ $\phi I4$ ）、ストレージ部も4相の駆動パルス（ $\phi S1$ ～ $\phi S4$ ）、また水平CCDは2相パルス（ $\phi H1$ 、 $\phi H2$ ）で駆動される。これらの駆動パルスは、図示しない駆動回路から供給される。

【0020】このF.I.T-CCDでは、感光画素PD部で光電変換時間Ta、Tbの期間蓄積した信号電荷を第1の信号読出し及び第2の信号読出しでI-CCD部へ転送する。感光画素PDの光電変換時間は、第1フィールドではPD1がTb期間、PD3がTa期間とし、第2フィールドではPD1がTa期間、PD3がTb期間とし、信号電荷の蓄積を行う。

【0021】本実施例におけるF.I.T-CCDの第（1）の動作方式を図2に示す。VBLはブランкиング信号、 $\phi I1$ 、 $\phi I3$ はイメージ部の感光画素PD1、PD3から信号を垂直CCD（I-CCD）に転送するゲートとI-CCDの4相駆動の転送ゲートを兼ねた電極に印加するパルス、PD1、PD3はそれぞれ感光画素PD1、PD3の信号電荷量を示している。

【0022】第1フィールド期間にPD1に蓄積された信号電荷Qは、 $\phi I1$ のP11パルスでI-CCDに読み出され、高速転送排出パルスSOによってF.I.T-CCDのID部より排出される。従って、信号として用いるQb電荷はP11とP12期間のTb期間のみ蓄積される。PD3における信号電荷Qaは、 $\phi I3$ のP32パルスからP33パルスのTa期間蓄積される。

【0023】そして、P12、P33のパルスでI-CCDに読み出されI-CCDで加算される。さらに、高速フレーム転送パルスFTでメモリ部へ転送され、水平CCDを経て出力される。水平CCDの出力信号SigOSとしては、QaとQbを加算した信号が得られる。なお、この信号を図5（a）に示しておく。

【0024】また、第2フィールドでは第1フィールドと逆に、PD1でTa期間の信号Qaを、PD3でTb期間の信号Qbを蓄積する動作を行う。これらの動作によりPD1とPD3の信号の重み付けが異なり、垂直解像度が向上するメリットがある。

【0025】PD1、PD3の信号電荷Qa、QbがQkpレベルでクリップされるように、 $\phi I1$ 、 $\phi I3$ のVfsレベルをセットする。Qkpレベル以下の小信号レベルではQaにより光電変換時間が長くなり、S/Nの良い信号が得られる。Qkpレベル以上の大信号では、電子シャッタ動作によりQbの動解像度の良い信号が得られ

(5)

特開平7-87402

7

る。これらの信号 (Q_a , Q_b) を加算した出力信号では、動解像度が良く S/N の劣化しない信号が得られる。

【0026】ここで、上記のクリップ動作をより詳しく説明する。図3は、FIT-CCDの画素部の断面図とボテンシャル図を示している。図3 (a) の画素部は、p型の基板に感光画素PD部とCCD転送部がn型で形成され、感光画素PD部の信号読出しはI-CCD部の転送電極と同じ $\phi I1$, $\phi I3$ のポリSi電極と共通化している。

【0027】第1フィールドの t_3 時の感光画素PD1, PD3の信号電荷の蓄積状態を、図3 (b) に示す。PD部でオーバフローした信号電荷は、I-CCDへ流れ込む。図3 (c) の t_4 時には、PD1部で蓄積した信号電荷を $\phi I1$ のゲートにVfs電圧を印加し、ボテンシャルを ϕfs レベルとしI-CCDへ読出す。PD3部では、図3 (b) と同様にオーバフローした信号電荷QはI-CCD部へ流れ出す。即ち、大きな信号電荷をクリップした状態となる。このレベルは、 $\phi I1, 3$ の印加電圧VHレベルを制御し、ボテンシャル ϕH を変化させることで制御できる。

【0028】図3 (d) の t_5 時には、I-CCDの信号電荷の排出と光電変換時間の短い信号電荷 Q_b をPD1部で蓄積する。そして、図3 (e) の t_6 時に $\phi I1$, $\phi I3$ のゲートにVfs電圧(ボテンシャル ϕfs)を印加してI-CCD部に読出す。この動作により、PD1部で光電変換時間の短い信号電荷 Q_b を、PD3部では大きな信号電荷をクリップした Q_a が得られる。クリップ信号レベルは、ボテンシャル $\phi fs - \phi H$ で制限されるため、 ϕfs 又は ϕH のレベルのいずれかを制御してもよい。

【0029】図4は、I-CCD部のボテンシャル ϕ と感光画素PDで光電変換した信号電荷Qを示している。第1フィールド期間では、感光画素PD1で T_b 期間の光信号が光電変換され Q_b が蓄積される。また、感光画素PD3では T_a 期間の光信号が光電変換され Q_a の信号電荷が蓄積される。

【0030】 t_1 時には、 $\phi I1$, $\phi I3$ にVfsの読出し電圧が印加され、信号電荷 Q_a , Q_b がI-CCD部に読出される。このとき、 $\phi I2$, $\phi I4$ は ϕL レベルに設定してある。次の t_2 時には、 $\phi I3$, $\phi I4$, $\phi I1$ を ϕH レベルとし、信号電荷 $Q_a + Q_b$ の加算をI-CCD部で行う。この後、高速FTパルス($\phi I1$, $\phi I2$, $\phi I3$, $\phi I4$ の4相パルス)にてメモリ部へ転送し、第2フィールド期間に水平CCDを経て、出力アンプAで電圧に変換して出力する。

【0031】第2フィールド期間の光電変換は、第1フィールドと光電変換時間を入れ替えて、感光画素PD1で T_a 期間、PD3で T_b 期間とし、信号電荷をそれぞれ Q_a , Q_b 蓄積する。 t_1 時には、第1フィールドと

同様にI-CCD部に信号電荷 Q_a , Q_b を読出す。 t_2 時には、第1フィールドとは異なり、 $\phi I1$, $\phi I2$, $\phi I3$ を ϕH レベルとし、 $\phi I4$ を ϕL レベルとする。すると、第1フィールド時と異なった感光画素の信号電荷 $Q_a + Q_b$ の信号が得られる。

【0032】この結果、CCDの出力信号は、図5 (a) に示す Q_a と Q_b を加算した信号が得られる。この出力信号 $SigOS$ は Vkp レベル以下が $Q_a + Q_b$ の成分で、 Vkp 以上の信号が Q_b の成分で構成される。

【0033】次に、FIT-CCDの出力信号 $SigOS$ の信号処理回路(信号再生回路)の動作について説明する。この回路は図1に示すように、増幅率の異なるA1, A2のアンプ、スイッチS1, S2、コンバレータC、インバータN、ホワイトクリップ(W. CLIP)回路で構成されている。

【0034】入力信号 $SigOS$ が Vkp レベルより小さい時、コンバレータCの出力がHレベルとなりスイッチS1をONにする。このとき、インバータNの出力は、LレベルとなりスイッチS2はOFFにする。このときの出力信号 $SigM = SigOS \times A1$ (増幅率)となる。

【0035】また、入力信号 $SigOS$ が Vkp レベルより大きいときは、コンバレータCの出力がLレベルとなりスイッチS1をOFFにする。一方、インバータNの出力はHレベルとなりスイッチS2をONにする。このときの出力信号は $SigM = SigOS \times A2$ (増幅率)となる。出力信号 $SigM$ が大きくなり過ぎたときは、ホワイトクリップ(W. CLIP)回路にて $V_{m.c.}$ レベル以上の信号をクリップする。

【0036】この信号再生回路動作による光電変換特性(光入力に対する信号の変化を表わす特性)を図5 (b) に示す。クリップレベル Vkp 以上で増幅率を上げることにより、光電変換時間の短い信号に対する増幅率が上がり、光入力に対する出力信号の傾きも大きくなっている。

【0037】FIT-CCDの出力信号 $SigOS$ は、異なる光電変換時間の信号($Q_a + Q_b$)を加算しているため、光入力レベル $I kp$ 以上で傾きを持った信号となる。信号処理回路の出力信号 $SigM$ は、アンプの増幅度を $A2 > A1$ とし、 Vkp レベルで切換えているため、 Vkp 点で傾きのない出力信号 $SigM$ が得られる。また、出力信号 $SigM$ は、 $V_{m.c.}$ レベルで高レベルの信号をクリップしている。

【0038】出力信号 $SigM$ は、 Vkp レベル以上の信号は、光電変換時間が短い信号 Q_b の成分であり、動解像度の良い信号が得られる。また、 Vkp レベル以下では光電変換時間が長い信号 Q_a の成分であり、 Vkp レベル以下の信号の S/N を劣化させない信号が得られる。ここで、モニタの再生画像で目立ちやすいノイズ成分は一瞬に Vkp よりも小さいため、クリップレベル Vkp 以上で増幅率を上げることによるノイズの増大は殆どない。

(6)

特開平7-87402

9

【0039】一般にモニタ再生像上のノイズは、10%程度以下の低信号レベルではノイズが、100%信号レベル時に比較して約10倍検知しやすくなっている。このシステム的な特徴を生かして、例えば10%以下の信号を光電変換時間を1/60秒と長くしてノイズの少ない信号とし、10%以上の信号を光電変換時間を1/10(1/600秒)とし、動解像度の良い信号を得る。そして、信号再生回路にてV_{kp}点を標準信号Mの10%に設定することによって、10%以上の信号の増幅度を10%以下の信号の10倍としてモニタで再生することで、モニタ再生画像上でS/Nの劣化がなく、動解像度の良い信号が得られる。

【0040】このように本実施例によれば、システム的な特徴を生かした、低信号レベルと高信号レベルの光電変換時間を異ならせた撮像素子の駆動と、高信号レベルの信号(光電変換時間の短い信号)の増幅度を大きくする信号再生回路により、S/N比の劣化がなく動解像度の良いモニタ再生画像が得られるようになる。

(実施例2) 次に、本発明の第2の実施例について説明する。基本的な回路構成は図1と同様であるが、この実施例では、撮像素子部の動作方式が異なっている。本実施例における撮像素子部の動作方式(II)を図6に示す。この方式は、第(I)の方式より信号量を2倍に増大させることができる(Q_a、Q_bとも)。

【0041】PD1では、光電変換時間T_aとT_bの両方の信号Q_{a1}、Q_{b1}が得られるように、 $\phi I1$ のP11にV_{fs1}を印加し、P12にV_{fs2}の電圧を印加する。同様にPD3でも、 $\phi I3$ のP31にV_{fs1}、P32にV_{fs2}を印加しQ_{a3}、Q_{b3}の信号電荷を得る。そして、I-CCD内で図4と同様にQ_{a1}、Q_{b1}、Q_{a3}、Q_{b3}を加算し、FITT-CCD出力信号SigOSでQ_a+Q_bが得られる。Q_a(Q_{a1}+Q_{a3})は、1フィールド期間の長い時間蓄積した信号であり、Q_b(Q_{b1}+Q_{b3})はT_b期間の電子シャッタ動作で得た信号である。

【0042】Q_aのクリップ信号レベルV_{kp}はP11、P31のV_{fs1}電圧が設定する。V_{kp}より大きな信号電荷は、V_{fs1}より大きな読み出し電圧V_{fs2}で読み出す。FITT-CCDの出力SigOSでは、Q_{kp}より小さな信号Q_aは1フィールド期間蓄積したS/Nの良い信号が得られ、Q_{kp}より大きな信号Q_bはT_b期間の電子シャッタ動作した動解像度の良い信号が得られる。

【0043】図7に、本実施例におけるクリップ動作を説明するために、FITT-CCDの画素部の断面図とボテンシャル図を示す。図7(a)は図3(a)と同じ構成となっている。

【0044】図7(b)のt1時には、感光画素PDで光電変換した信号電荷を蓄積している。図7(c)のt2時には、読み出しへゲートI-CCD($\phi I1$ 、 $\phi I3$)にV_{fs1}電圧を印加(ボテンシャル $\phi fs1$)し、 $\phi fs1$ 以上の信号電荷をI-CCD部へ読み出す。即ち、Q_aの

信号は、 $\phi fs1$ 以上の大きな信号電荷をクリップした動作ができる。

【0045】そして、図7(d)のt3時に再び光電変換時間の短い信号電荷Q_bをPD部に蓄積する。さらに、図7(e)のt4時にI-CCD($\phi I1$ 、 $\phi I3$)にV_{fs2}電圧を印加(ボテンシャル $\phi fs2$)し、Q_a+Q_bの信号電荷をI-CCD部に読み出す。

【0046】なお、図7(c)のt2時にクリップ動作を行わない小さな信号電荷の時には、Q_aの信号の光電変換時間がT_a+T_bとなる。クリップ動作時には、Q_aの信号の光電変換時間がT_a、Q_bの光電変換時間がT_bとなる。

(実施例3) 図8は、本発明の第3の実施例に係わる撮像システムの回路構成を示すブロック図である。この装置は、光信号を集光するレンズ41、FITT-CCD42、カメラ用同期パルス発生回路43、CCD駆動Aパルス発生回路44、Bパルス発生回路45、駆動パルスミックス回路46、CCDドライバ47、信号再生回路48、プロセスアンプ50で構成される。

【0047】感光画素PD1、PD3の光電変換時間(蓄積時間)T_a、T_bの制御は、駆動Aパルス発生回路(光電変換時間T_a)44と駆動Bパルス発生回路(光電変換時間T_b)45の出力をパルスミックス回路46でミックスすることにより行われ、同時にCCD42をドライバ47で駆動できる。

【0048】CCD42の出力信号SigOSは、信号再生回路48内でレベルスライス回路C4、C5、C6を使って3つに分離され、増幅度の異なったアンプA4、A5、A6により増幅される。A4、A5、A6によりそれぞれ増幅された信号出力Sig1、Sig2、Sig3を加算回路S1で加算し、SigMとして信号再生回路48より出力する。そして、プロセスアンプ50にて黒レベルセット、 γ 補正、BLK処理などを行い、ビデオ出力信号を得る。

【0049】この信号再生回路48の入力信号SigOSと出力信号SigMの光電変換特性を図9に示す。SigOSは、出力信号V_{kp}以下がS/Nの良いSigAで、V_{kp}以上が動解像度の良いSigBが得られる。光電変換時間が異なるためV_{kp}点によって光入力レベルに対して傾きを持った(knee特性)SigOSが得られる。この動作により、飽和入力光量がI_{m1}からI_{m2}に増大する利点もあることが分かる。従来の飽和光量はI_{m1}である。

【0050】信号再生回路48では、入力光量のI_{kp}点以下をSig1、I_{kp}~I_{m1}の範囲をSig2、I_{m1}以上をSig3と分離し、信号処理している。標準のビデオ出力信号(700mVp-p、100%)レベルをV_mとし、光入力レベル0~I_mまでが信号再生回路出力で傾きが直線に変化するようにアンプA4、A5のゲインを調整し、Sig3のレベルは、モニタで再生できるようにV_m点より傾きを持たせて圧縮できるアンプA6のゲイン設

(7)

特開平7-87402

11

定とする。

【0051】以上の駆動方式と信号再生回路により、モニタ上でノイズ検知レベルの高い小さな信号レベル (V kp点以下) はS/Nの良い信号Qaの成分とし、ノイズが比較的検知しづらい大きな信号レベル (V kp点以上) は、動解像度の良い信号Qbの成分とすることでモニタ再生像上でS/Nの劣化がなく、動解像度の良い信号が得られる。

(実施例4) 次に、本発明の第4の実施例について説明する。基本的な回路構成は図1と同様であるが、この実施例では、撮像素子部の動作方式が異なっている。本実施例における撮像素子部の動作方式(111)を図10に示す。

【0052】この方式は、光電変換時間の長い方の感光画素の光電変換時間Taを1フレーム(2フィールド)期間とし、S/Nの良い信号Qaを得る。さらに、光電変換時間の短い方の感光画素では光電変換時間Tbを1フィールド期間とし、信号Qbを得る。この方式を用いることによって動解像度の劣化なしにS/Nを改善できる。

【0053】なお、本発明は上述した各実施例に限定されるものではない。実施例では、感光画素を垂直方向で加算して、インターレース撮像方式で説明したが、全感光画素の信号を独立に順次読み出すプロブレススキャナ撮像方式にも適用することができる。光電変換時間は、長い方も短い方も任意に設定できる。例えば、短い方の光電変換時間を1/30秒、長い方の光電変換時間を1/15秒とすることや、また短い方の光電変換時間を1/60秒よりも短くすることなども可能である。また、異なる光電変換時間を3つ以上とすることで、信号レベルに対応した動解像度の改善ができる。

【0054】また、信号処理回路はアナログ処理方式で説明したが、これをデジタル処理にすることで信号再生動作が確実に実行でき、被写体に対応した動作が簡単に行えるようになる。さらに、光電変換部にアモルファスシリコンなどの光電変換膜をCCD上部に積層した光電変換膜積層型CCDにも用いることができる。また、本発明ではFIT-CCDで説明したが、FIT-CCDに限らず、IT-CCDなどにも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

(実施例5) 図11は、本発明の第5の実施例に係わる固体撮像装置の概略構成図であり、撮像素子部と駆動回路部及び信号処理部を示している。撮像素子部は、インターライン転送型CCD(IT-CCD)10を用い、感光画素P D 11、信号電荷Qを転送するための垂直CCD(V-CCD)12と2線方式の水平CCD(H-CCD)13、信号電荷Qを電圧に変換して出力するためのオンチップアンプA 14、また感光画素P D 11の余分な信号を掃出するためのドレインSD 15からな

12

る。

【0055】駆動回路部は、CCDの駆動タイミング発生回路16とV-CCD用ドライバ17からなる。また、信号処理部は、2線出力信号Sa, Sbに対応して利得の異なるアンプ18と2線出力信号Sa, Sbを1線出力信号Smにするための加算回路19からなる。

【0056】タイミング発生回路16では、感光画素11のPD1, PD2に入射する光を信号電荷に変換し、蓄積するための光電変換時間Ta, Tbの2種類を発生させる。このとき、光電変換時間はTa ≤ Tbとなるよう設定する。そして、ドライバ17(17a, 17b)を使って感光画素11のPD1の光電変換時間をTaとし、PD2の光電変換時間をTbに設定する。この結果として感光画素PD1, PD2で得られた信号電荷を、Qa, Qbとする。

【0057】上記の信号電荷Qa, Qbを垂直CCD12を動作させ2つの水平CCD13(13a, 13b)へ別々に転送する。具体的には、信号電荷Qaを水平CCD13aに転送し、信号電荷Qbを水平CCD13bに転送する。そして、水平CCD転送電極φH1, φH2にパルスを印加し、オンチップアンプ14(14a, 14b)へ転送して電圧に変換し、信号電荷Qaを電圧信号Sa、信号電荷Qbを電圧信号Sbとして撮像素子より出力する。

【0058】光電変換時間が短かい信号Saは、光電変換時間の長い信号Sbより動いている被写体の解像度(動解像度)が良い。しかし、光電変換時間が短かいため信号レベルがSbと比較して小さくなる。そこで、信号処理部で動解像度は良いが信号レベルが小さいSaの信号のアンプゲインをGaとし、動解像度は良くないが信号レベルが大きいSbの信号のアンプゲインをGbとする。このとき、アンプゲインをGa ≥ Gbと設定し、そのアンプ出力を加算回路19を用いて1線出力信号Smとする。この動作により、Smの信号では動解像度の良い信号が得られる。従来の電子シャッタ動作と異なり、光電変換時間の短い信号Saに光電変換時間の長い信号Sb成分を混合するためS/Nが改善できる。

【0059】図12に、本実施例におけるIT-CCDの動作図を示す。VBLは同期信号の垂直ブランディング信号、Pta, Ptbは感光画素P D a, P D bの光電変換時間を制御するためのパルス、Qpda, Qpdbは感光画素P D a, P D bに時間的に蓄積する信号電荷量を示している。

【0060】感光画素P D aの信号電荷は、まず第1フィールド期間中に蓄積した信号電荷をPtaのパルスP1によって垂直CCDに読み出し、掃出ドレインSDに読み出す。そして、次のP2パルスまでの期間のTa時間に再蓄積した信号電荷Qaが信号電荷となる。Qaの信号電荷は、電子シャッタが動作した信号となるため、動解像度の良い信号が得られる。

【0061】一方、感光画素P D bの信号電荷は1フィ

(8)

特開平7-87402

13
ールド期間中ずっと蓄積し、PtbのP3パルスで垂直CCDへ転送する。この信号電荷Qbは、光電変換時間が長く信号電荷量が大きいため、S/Nの良い信号が得られる。そして、これらの信号電荷Qa, Qbは、垂直CCD及び水平CCDを経てオンチップアンプで電圧に変換しCCDより出力する。

【0062】次に、第2フィールドも第1フィールドと同じ動作を行い、動解像度の良い信号電荷Qaと信号電荷量の大きいQbの信号を得る。図13に本実施例における信号処理部の動作を示す。横軸に入射光量、縦軸に各部の信号電圧を示す。図13(a)は、IT-CCD10の2種出力信号の一方Saの信号を示す。また、図13(b)にもう一方のSbの信号を示す。Saの信号は信号レベルは小さいが動解像度の良い信号が得られる。一方、Sbの信号は、動解像度は良くないが信号レベルが大きいため、S/Nの良い信号が得られる。

【0063】次に、Saの信号をGa倍した信号を図13(c)に示す。また、Sbの信号をGb倍(この時は×1)した信号を図13(d)に示す。この2つのアンプのゲインがGa>Gbとなっているため、Ga×Sa信号では、動解像度の良い信号レベルが増大している。

【0064】そして、2つの信号(Ga×Sa+Gb×Sb)を加算した信号Smでは、動解像度の良い信号成分SaとS/Nの良い成分Sbにより、従来の電子シャッタ動作と違い、動解像度を改善してもS/Nの良い信号が得られる。例えば、光電変換時間をTa:Tb=1/10:1とし、アンプゲインをGa:Gb=10:1とすることで、動解像度を約10倍改善することができる。

(実施例6) 図14は、本発明の第6の実施例に係わる固体撮像装置を示す概略構成図である。なお、図11と同一部分には同一符号を付して、ここではその説明は省略する。

【0065】本実施例が第5の実施例と異なる点は、タイミング発生回路16にフィールドFI毎にTaとTbを切換えるスイッチを設けたことにある。この駆動により、第1フィールドでは、感光画素PD1で信号電荷Qaを、PD2で信号電荷Qbを蓄積する。次の第2フィールドでは、感光画素PD1で信号電荷Qbを、PD2で信号電荷Qaを蓄積する。これらの信号電荷Qa, Qbを信号処理部で加算することによって、垂直方向で1画素ずれ、さらに信号の重み付けが光電変換時間をTa< Tbとした時、信号電荷量をQa< Qbとなるため、垂直解像度が向上する。その他は、第5の実施例と同じ構成で同じ動作を行う。

【0066】図15に、本実施例におけるIT-CCDの動作図を示す。感光画素PD1の信号電荷を読み出すパルス(又は、信号電荷の蓄積時間を定めるパルス)PFIは、光電変換時間TbとTaがフィールド毎に入れ替っている。また、感光画素PD2を読み出すパルスP

14
F2は、PF1とインターレース関係でTaとTbがフィールド毎に入れ替わる。

【0067】このような駆動パルスによって、感光画素PD1に蓄積される信号電荷Qfd1は、フィールド毎にQbとQaが入れ替わる。また、感光画素PD2の信号電荷Qfd2は、フィールド毎にQfd1と反対にQaとQbが入れ替わる。信号処理は、図13と同様の処理を行う。

(実施例7) 図16は、本発明の第7の実施例に係わる固体撮像装置を示す概略構成図である。なお、図11と同一部分には同一符号を付して、ここではその説明は省略する。

【0068】本実施例の装置構成は、第6の実施例である図14と同じである。第6の実施例と異なる点は、第1フィールドでは感光画素PD1の信号電荷をP1パルスにより読み出した後、PD2側へ転送する。そして、感光画素PD2の信号電荷をP3パルスで読み出した時に加算することである。

【0069】第5及び第6の実施例では、P1パルスで読み出した信号電荷をSD部へ排出していたが、本実施例ではこれを信号電荷Qbとして用いることで、さらにQbの信号電荷量を大きくできS/Nを改善できる。第2フィールドでは、第6の実施例と同様、垂直方向に1画素ずらして第1フィールドと同様の動作を行う。その他は、第6の実施例と同じ動作を行う。

【0070】図17に、本実施例におけるIT-CCDの動作図を示す。動作的には、第6の実施例と同じで、第6の実施例で排出していた信号電荷QCを垂直CCDで信号電荷Qb'に加算してQbの信号とすることで、S/Nの良い信号電荷Qbが増加し、さらにS/Nの良い信号が得られる。

(実施例8) 図18(a)に、本発明の第8の実施例における信号処理部の構成を示す。撮像素子と駆動部には、第5~第7の実施例を適用できる。

【0071】CCD出力信号SaはVak点を二ー(kne e)ポイントとしてVak以上の信号増幅度を大きくする二ー伸長回路を通す。一方、信号SbはVbk点を二ーポイントとして、Vbk以上の信号増幅度を小さくする二ー圧縮回路を通す。そして、得られたそれぞれの信号SakとSbkを加算回路で加算してSm信号とする。

【0072】本実施例における入射光量に対する出力信号の特性を、図19(a)~(e)に示す。図19(a)にCCD出力信号Saを示す。信号レベルは小さいが、動解像度の良い信号が得られる。図19(b)にCCD出力信号Sbを示す。信号SaよりSbの方が光電変換時間が長い分だけ大きな信号レベルが得られる。このため、S/N比の良い信号がSbより得られる。

【0073】次に、図19(c)に示すように、Sa信号が入射信号Ikより大きな入射光量の時(Vakレベル以上)増幅度を大きくする。即ち、入射光量がIkより

(9)

特開平7-87402

15

も大きくなった時、二ー伸長回路により増幅度を大きくして二ー伸長動作を行う。これにより、K点（Vak以上）より傾きが大きくなる信号Sakが得られる。

【0074】一方、図19（d）に示すように、Sb信号が入射光量IKより大きな入射光量の時（Vbkレベル以上）増幅度を小さくする。即ち、入射光量がIkよりも大きくなった時、二ー圧縮回路により増幅度を小さくして二ー伸長動作を行う。これにより、K点（Vbk以上）より傾きが小さくなる信号Sbkが得られる。

【0075】そして、2つの信号SakとSbkを加算してSm信号が得られる。Sm信号は、図19（e）に示すように入射光量がIkより小さい時、動解像度の良い信号成分Saを小さくし、S/Nの良い信号成分Sbを大きくする。また、入射光量がIkより大きい時、動解像度の良い信号成分Saを大きくし、S/Nの良い信号成分Sbを小さくすることもできる。

【0076】このような信号処理により、モニタ上でノイズが目立ちやすい小さな信号レベルではS/Nを良くし、ノイズが比較的目立ちにくい大きな信号レベルは、動解像度の良い信号成分Saを大きくし、動解像度の改善効果をより大きくすることができる。

（実施例9）図18（b）に、本発明の第9の実施例における信号処理部の構成を示す。撮像素子と駆動部には、第5～第7の実施例を適用できる。

【0077】CCD出力信号SaはアンプによりG倍する。一方、信号Sbは、 γ 回路により入射光量が小さい時は増幅度を大きくし、入射光量が大きい時の増幅度が小さくなるように増幅する。そして、2つの信号（G×Saと γ ×Sb）を加算して1つの信号Smを得る。

【0078】本実施例における入射光量に対する出力信号の特性を、図20（a）～（e）に示す。CCD出力信号SaとSbは図20（a）と図20（b）に示す。これらの特性は、図19の（a）（b）と同じである。図20（c）では、入力信号SaをG倍して直線的に増加する信号G Saを示す。一方、図20（d）では、Sbの信号が γ 回路により入射光量が小さい時に増幅度が大きく、入射光量が大きくなるにしたがって増幅度が小さくなるような γ Sbの特性が得られる。

【0079】この2つの信号（G×Saと γ ×Sb）を加算して1つの信号Smを得る。このSm信号の特性を図20（e）に示す。本実施例では、第8の実施例と同様にモニタ上でノイズが目立ちやすい小さな出力信号レベルでは、動解像度の良い信号成分Saレベルを小さくし、S/Nの良い信号Sb成分を大きくしている。また、モニタ上でノイズが目立ちにくい大きな出力信号レベルでは、動解像度の良い信号成分Saレベルを大きくし、S/Nの良い信号Sb成分を小さくすることで、動解像度の改善効果を高めている。その他の信号処理方式を用いて信号Sa成分とSb成分比を変えることでも、同様の動解像度の改善ができる。

16

（実施例10）図18（c）に、本発明の第10の実施例における信号処理部の構成を示す。撮像素子と駆動部には、第5～第7の実施例が適用できる。

【0080】CCD出力信号Saは、二ー圧縮回路によりVak以上の信号増幅度を小さくする。そして、Vamレベルより大きくなった時にクリップ動作を行う。この回路で得られた信号をSakとする。そして、Sb信号は高レベルクリップ回路によりVbmより大きな信号をクリップする。その出力をSbm信号とし、2つの信号SakとSbmを加算した信号をSm信号とする。

【0081】本実施例における入射光量に対する出力信号の特性を、図21（a）～（e）に示す。CCD出力信号Saの特性を図21（a）に示し、Sbの特性を図21（b）に示す。信号Sbは入射光量Im'より大きな信号は飽和してしまいVbm'でクリップした信号となる。このとき、クリップレベルが画素毎に大きく異なるため、18（c）に示した高レベルクリップ回路により図21（d）に示すようにVbmレベルでクリップするようになる。このときの最大入射光量を、Imとする。

【0082】一方、CCD出力信号Saは光電変換時間が短いため、入射光量がIm'よりも大きくなつても飽和せずにVam'まで増加する。この信号を利用して、二ー圧縮回路により図21（c）に示すように入射光量Imより大きな信号の増幅度を小さくする。即ち、K点より大きな信号を圧縮した動作を行う。また、Sakの信号もVamレベルでクリップし、画素毎の飽和のバラツキをカットする。

【0083】そして、2つの信号を加算した信号Smは、図21（e）の特性を示す。最大入射光量を従来のImよりN倍大きなレベルまで信号が得られる。例えば、信号Saの光電変換時間1フィールドの1/10に設定することで、最大入射光量が約10倍（N=10）向上できる。

（実施例11）図22は、本発明の第11の実施例に係わる撮像システムの回路構成を示すブロック図である。この実施例は、第3の実施例のような撮像システムを構成するに際し、第5～第7の実施例における固体撮像装置を用いたものである。具体的には、光信号を集光するレンズ20、IT-CCD10、カメラ用同期パルス発生回路21、タイミング発生回路16、CCDドライバ17、信号再生回路28、プロセスアンプ22で構成される。

【0084】光電変換時間Ta, Tbの制御は同期パルス発生回路21からの同期パルスを受けるタイミング発生回路16で行い、同時にCCD10をドライバ17により駆動する。CCD10の出力信号Sai, Sbを信号再生回路28内で利得の異なるアンプ18で増幅し、加重回路19により合成し、信号Smとして出力する。そして、プロセスアンプ22にて黒レベルセット、 γ 補正、BLK処理などをを行い、ビデオ出力信号を得る。

(10)

特開平7-87402

17

【0085】このような構成であっても、第5～第7の実施例と同様な効果が得られるのは勿論のことである。なお、本発明は上述した各実施例に限定されるものではない。実施例では、撮像素子にIT-CCDを用いたが、IT-CCDに限らずFIT-CCDなどにも適用できる。また、光電変換部にアモルファスシリコンなどの光電変換膜をCCD上部に積層した光電変換膜積層型CCDにも用いることができる。また、撮像素子の出力信号を別々に取り出すために2線出力方式を用いたが、3線出力方式でもよく、1線出力方式で時間的に分割して光電変換時間の異なる信号を出力してよい。

【0086】また、実施例では感光画素での光電変換時間の異なる信号を別々の画素で蓄積したが、同一の画素を用いても実施できる。さらに実施例では、インターレース方式で説明したが、ノンインターレース方式でも実施できる。また、光電変換時間単位をフィールド単位としたが、数フィールド単位でもフレーム単位、数フレーム単位でも任意に長い光電変換時間と短かい光電変換時間を見分けることができる。

【0087】また、信号処理回路はアナログ処理方式で説明したが、これをデジタル処理にすることで信号処理方式の自由度が増大する。さらに、メモリを使用することで長い光電変換時間の信号や断続している信号を加算することで、さらにS/Nの良い信号が得られる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0088】

【発明の効果】以上詳述したように本発明（請求項1～4）によれば、低信号レベルと高信号レベルの光電変換時間を異ならせた撮像素子の駆動と、高信号レベル以上の信号（光電変換時間の短い信号）の増幅度を大きくする信号処理回路を用いることによって、動いている被写体を撮像した時に発生する動解像度の改善がS/Nの劣化なしに実現できる。つまり、S/Nの劣化を招くことなく動解像度を改善させることができ、高画質の再生像が得られる固体撮像装置を実現することが可能となる。

【0089】また、本発明（請求項5～7）によって、光信号の光電変換時間を異ならせた撮像素子の駆動により、動解像度の良い信号と信号レベルの減少を抑えたS/Nの良い信号を撮像素子より出力する。そして、信号処理回路を用いて2つの信号を加算し1つの信号とする。この時、モニタ上でノイズが目立つ小さな信号レベルでは、S/Nの良い信号成分を大きくする。また、ノイズが目立つ大きな信号レベルでは、動解像度の良い信号成分を大きくなるように加算する。この動作によりS/Nの劣化を抑えて動解像度を改善させることができ、高画質の再生像が得られる固体撮像装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わる固体撮像装置を示す概略

10

構成図。

【図2】第1の実施例における固体撮像装置の第(I)の動作方式を示す図。

【図3】第1の実施例におけるクリップ動作を説明するためのもので、FIT-CCDの画素構成とポテンシャルを示す図。

【図4】第1の実施例におけるI-CCD部のポテンシャルと感光画素PDで光電変換した信号電荷Qを示す図。

【図5】第1の実施例における信号再生回路動作による光電変換特性（光入力に対する信号の変化を表す特性）を示す図。

【図6】第2の実施例における固体撮像装置の第(II)の動作方式を示す図。

【図7】第2の実施例におけるクリップ動作を説明するためのもので、FIT-CCDの画素構成とポテンシャルを示す図。

【図8】第3の実施例に係わる撮像システムの回路構成を示すブロック図。

20

【図9】第3の実施例における信号再生回路の入力信号SigOSと出力信号SigMの光電変換特性を示す図。

【図10】第4の実施例における固体撮像装置の第(II)の動作方式を示す図。

【図11】第5の実施例に係わる固体撮像装置を示す概略構成図。

【図12】第5の実施例におけるIT-CCDの動作図を示す図。

【図13】第5の実施例における信号処理部の動作を示す図。

30

【図14】第6の実施例に係わる固体撮像装置を示す概略構成図。

【図15】第6の実施例におけるIT-CCDの動作図を示す図。

【図16】第7の実施例に係わる固体撮像装置を示す概略構成図。

【図17】第7の実施例におけるIT-CCDの動作図を示す図。

【図18】第8～第10の実施例における信号処理部の構成を示す図。

40

【図19】第8の実施例における入射光量に対する出力信号の特性を示す図。

【図20】第9の実施例における入射光量に対する出力信号の特性を示す図。

【図21】第10の実施例における入射光量に対する出力信号の特性を示す図。

【図22】第11の実施例に係わる撮像システムの回路構成を示すブロック図。

【符号の説明】

PD…感光画素

50 I-CCD…垂直信号電荷転送部

(11)

特開平7-67402

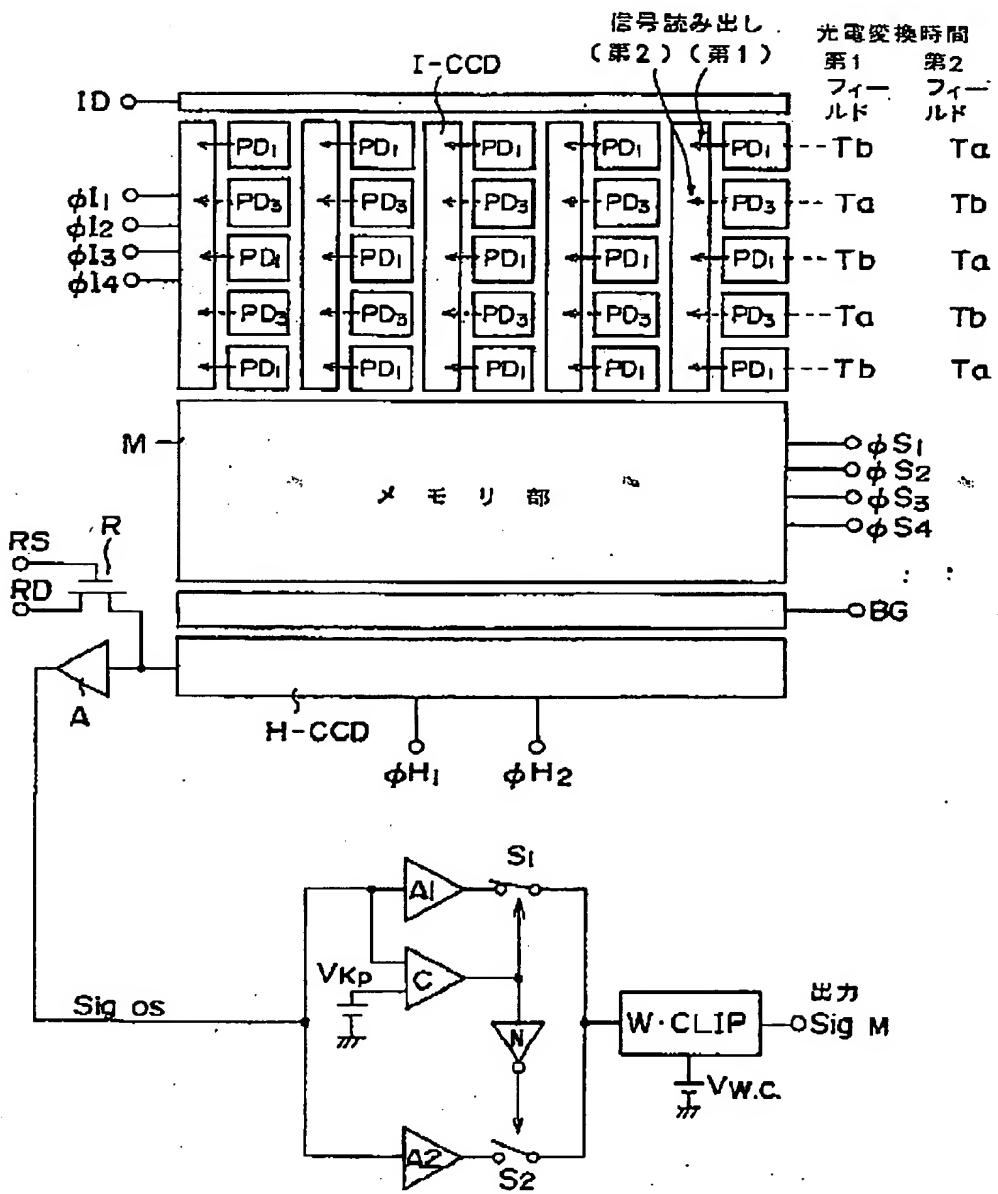
19

H-CCD…水平信号電荷転送部
 M…1フィールド期間のメモリ部
 ID…信号排出用ドレイン
 BG…分離ゲート
 A…オンチップアンプ
 R…リセットトランジスタ
 A1, A2…アンプ
 S1, S2…スイッチ
 C…コンパレータ

20

N…インバータ
 W-CLIP…ホワイトクリップ回路
 10…インターライン転送型CCD (IT-CCD)
 11…感光画素PD
 12…垂直CCD (V-CCD)
 13…水平CCD (H-CCD)
 14…オンチップアンプ
 15…ドレインSD
 16…駆動タイミング発生回路

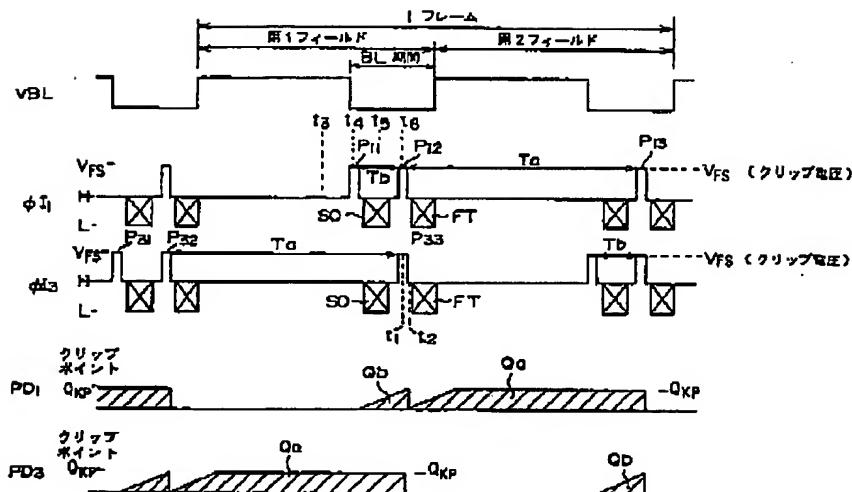
【図1】



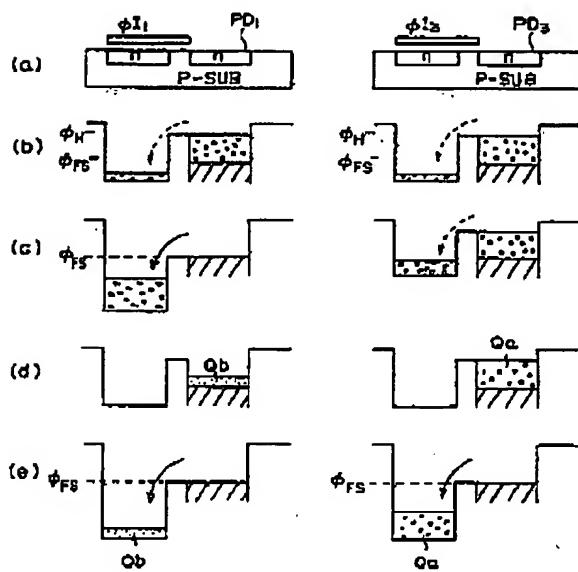
(12)

特開平7-87402

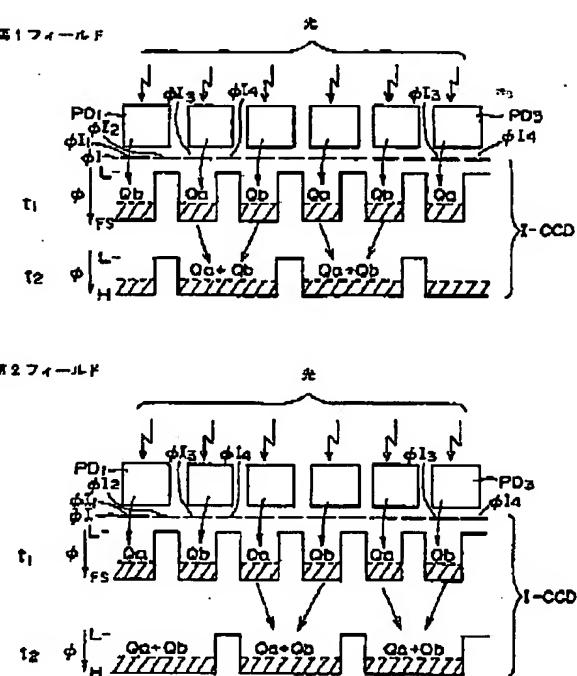
【図2】



【図3】



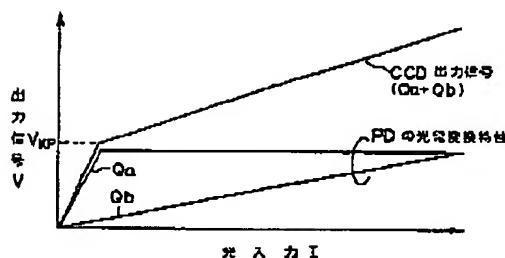
【図4】



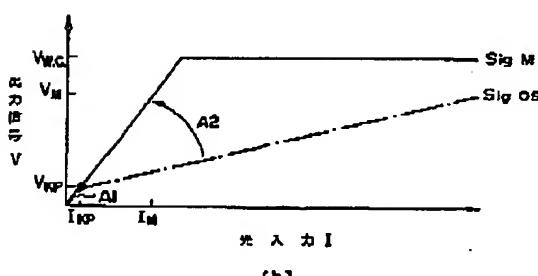
(13)

特開平7-87402

【図5】

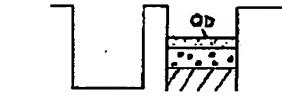
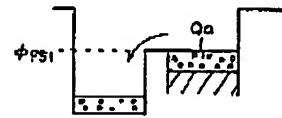
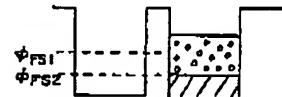
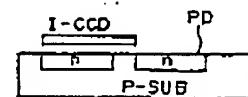


(a)

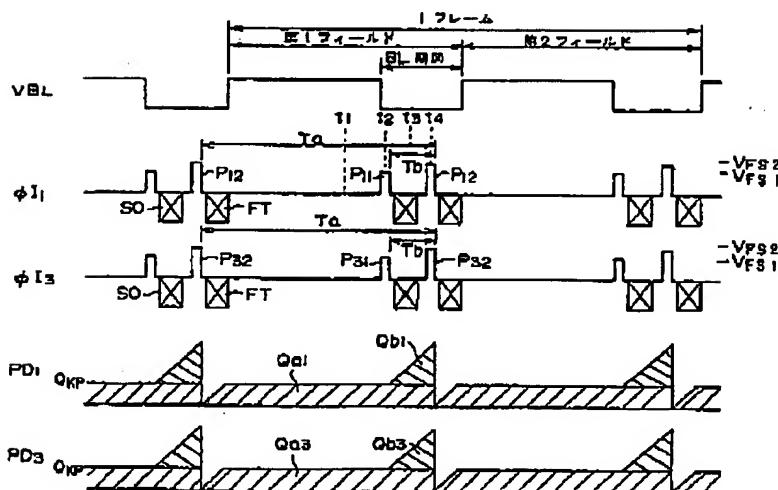


(b)

(a) 面部部の断面図

(b) t_1 面の動作(c) t_2 面の動作(d) t_3 面の動作(e) t_4 面の動作

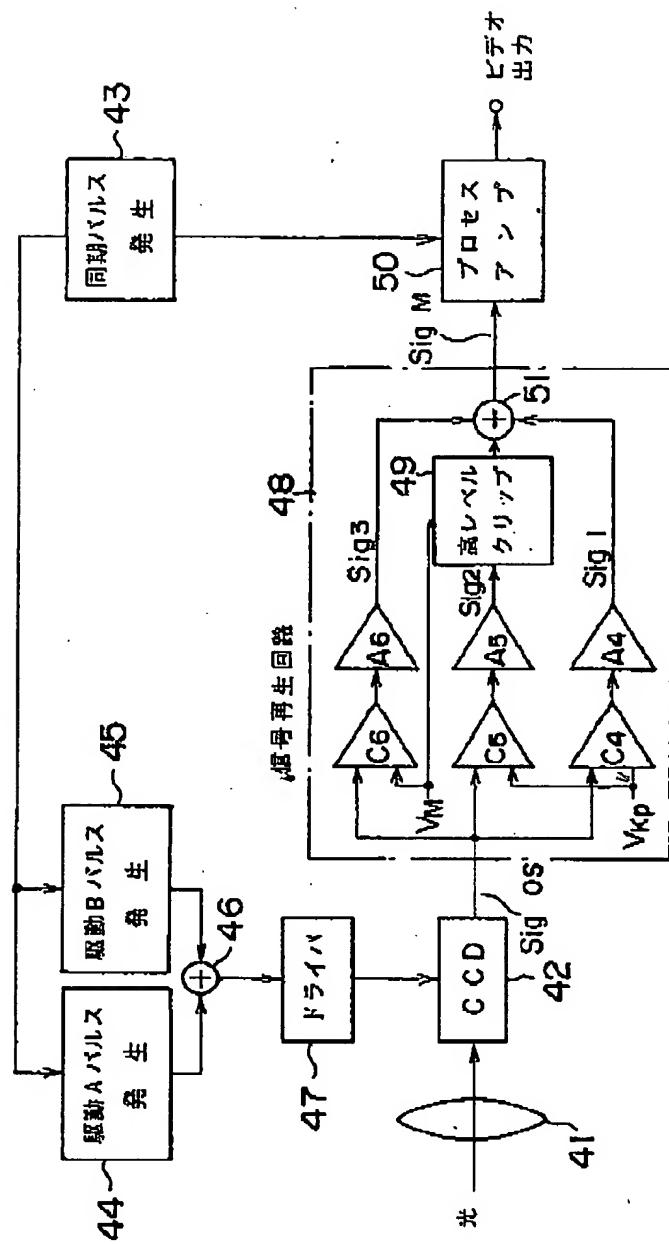
【図6】



(14)

特開平7-87402

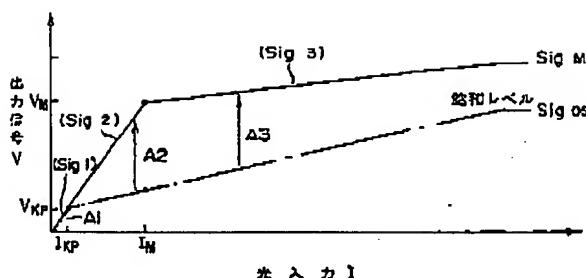
【図8】



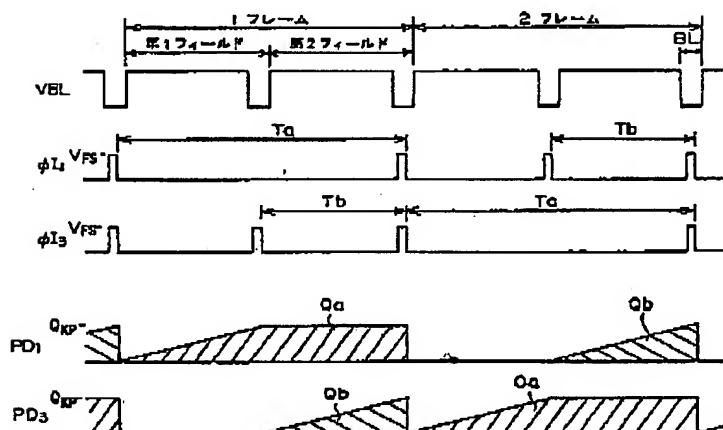
(15)

特開平7-87402

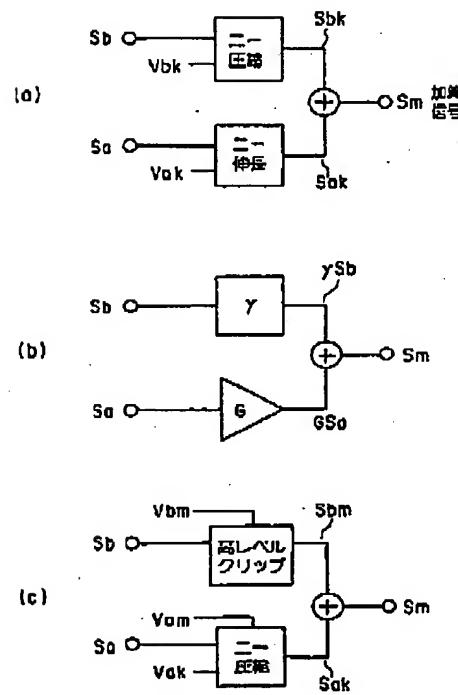
【図 9】



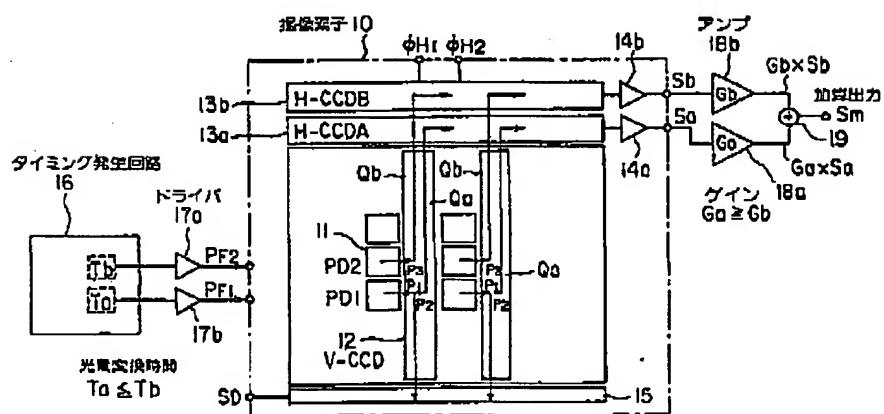
【図 10】



【図 18】



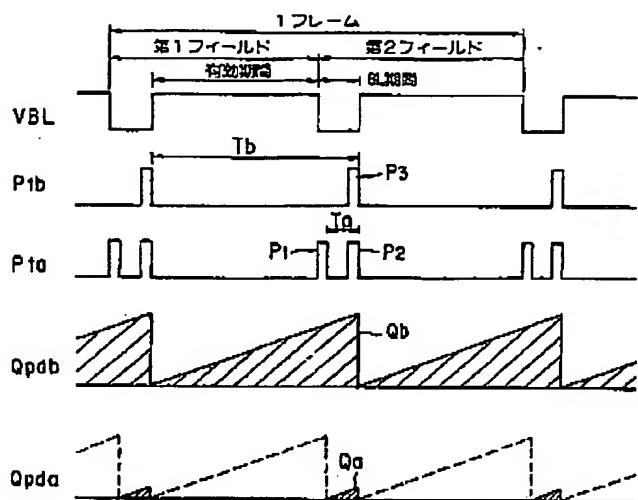
【図 11】



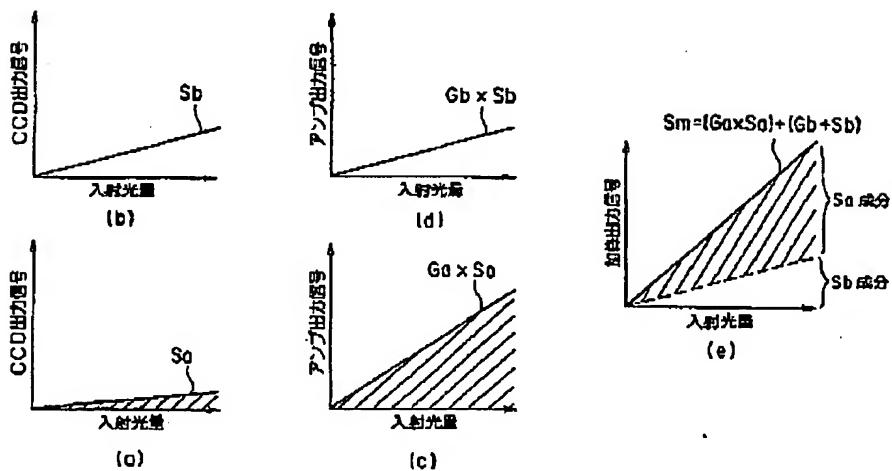
(16)

特開平7-87402

【図12】



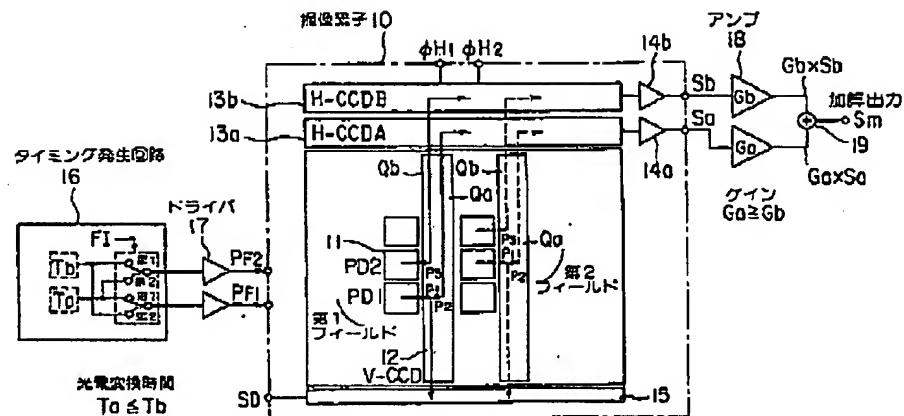
【図13】



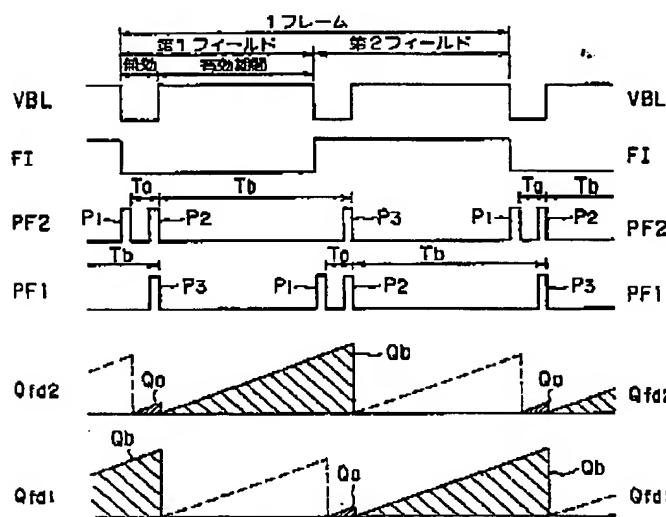
(17)

特開平7-87402

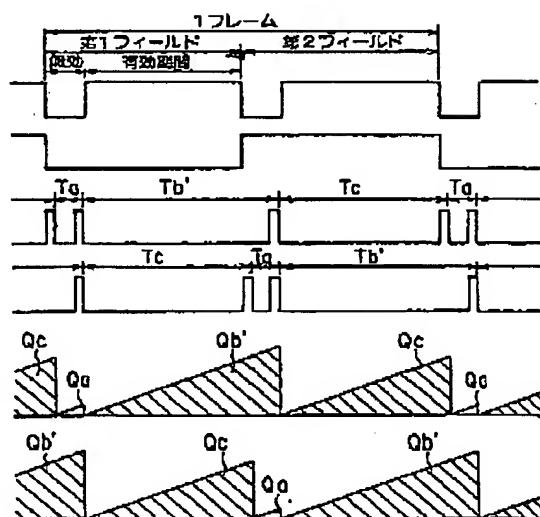
【図14】



【図15】



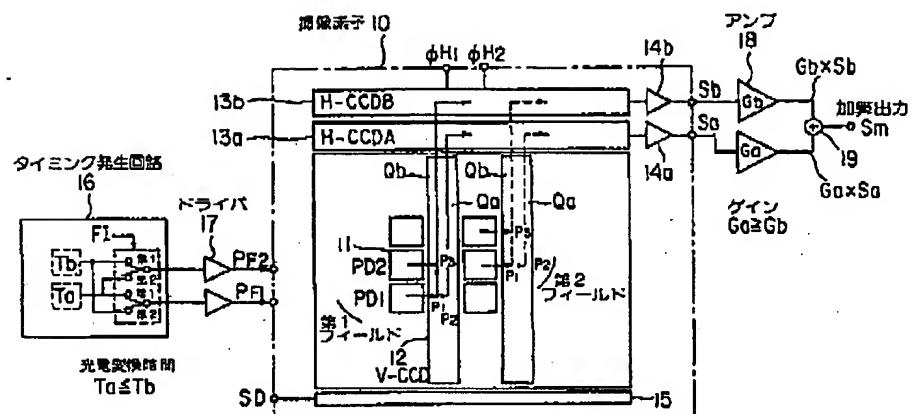
【図17】



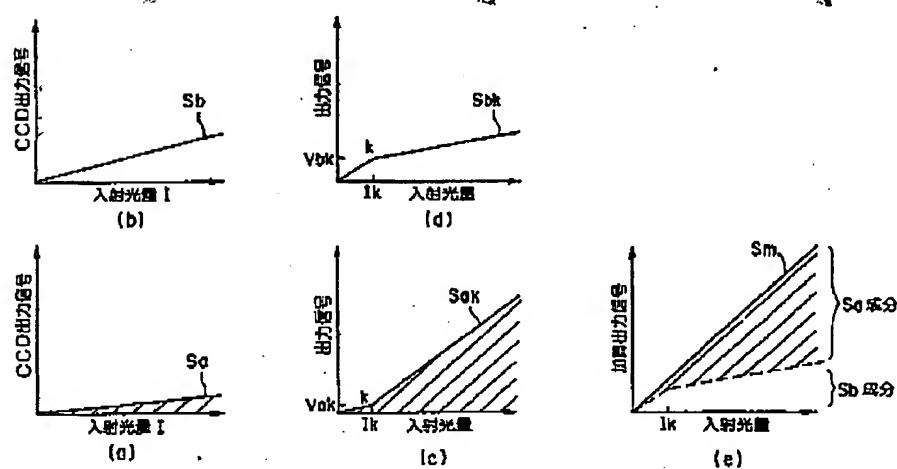
(18)

特開平7-87402

[図16]



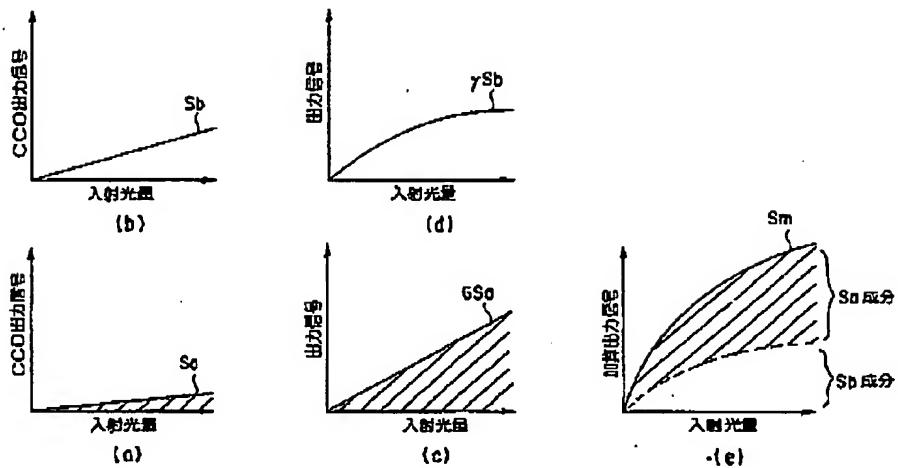
[図19]



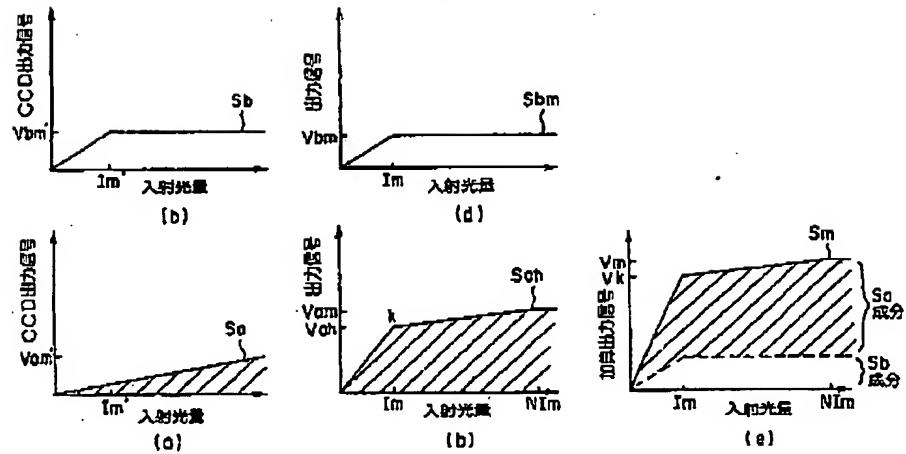
(19)

特開平7-87402

【図20】



【図21】



(20)

特開平7-87402

【図22】

